

静态存储器多比特翻转的概率失效模型

周婉婷, 叶世旺, 李 磊

(电子科技大学 电子科学技术研究院, 四川 成都 611731)

摘 要: 针对静态存储器出现的多比特翻转, 提出了一种软错误失效模型, 以“生日重合”理论作为多比特失效统计的基础, 将常用加固方式纠错码和周期刷新作为分析条件得到累积错误和非累积错误的概率失效模型. 前者为相同容量存储器的不同字长结构提供了失效概率的数值分析, 并为实际测试结果提供了一个理论参考; 后者量化了刷新周期的选取对于误码率改善程度. 仿真结果显示 90 nm 体硅工艺下, 累积错误模型与低能量质子测试结果相符合; 非累积错误模型分析的刷新周期略高于实际结果.

关键词: 多比特翻转; 静态存储器; 可靠性; 刷新

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2014)02-0054-03

Failure Probability Modeling for SRAM Suffering Multiple-bit Upsets

ZHOU Wan-ting, YE Shi-wang, LI Lei

(Research Institute of Electronic Science and Technology,
University of Electronic Science and Technology of China, Chengdu 611731, China)

Abstract: The reliability of SRAMs that exposed to radiation has been studied with the aims of driving predictive model based on suffering multiple bit upsets. A method based on simple birthday statistics used to predict the cumulative probability of SRAMs suffering soft errors. An improved non-cumulative probability function was proposed to evaluate the periodic memory scrubbing technology which used to improve the effective BER over physical BERs. The predictive model is in good agreement with test results for SRAM processed using 90 nm bulk process technology under proton test.

Key words: multiple-bit upsets; SRAM; reliability; scrubbing

1 引言

软错误(Soft Error)是由辐射诱发,并产生于在集成电路中的一种瞬态错误,一般用软错误率(Soft Error Rate, SER)来表征发生软错误的概率. 存储单元是软错误发生频率最高的电路组成部分. 在地面应用环境中,软错误率比较低,一般用单比特纠错码(Single Error Correcting, SEC)即可进行保护. 然而在宇宙空间或复杂辐射环境下,由于粒子流量大、能量高,使得 SER 快速增长并且出现了多比特翻转(Multiple Bit Upset, MBU)^[1],单独使用 SEC 无法满足系统需求,周期刷新(Period Scrubbing)联

合 SEC 成为常用的加固方式^[2].

本文将对存储器结构选择和刷新周期选取这两个问题进行分析,提出以失效概率作为评估方式的快速分析模型. 考虑到系统加固一般运用纠错码和周期刷新,本文以“生日重合”理论作为分析基础,将系统加固所用的方法作为分析条件,进行理论推导,建立累积错误和非累积错误两种情况下静态存储器失效概率模型.

2 静态存储器多比特失效概率模型建立与条件分析

考虑到系统设计一般对存储器进行编码纠错,

收稿日期: 2013-04-17; 修回日期: 2013-06-01

基金项目: 国家自然科学基金项目(61101033)

在失效率(Failure Rate)高的环境中单独使用纠错码无法满足要求,还需要用周期刷新技术. 本文将对这两种情况进行分析,提出三点假设作为本文分析条件:

(1)存储器采用纠错码进行加固,只有同一个字中出现两个及两个以上错误,静态存储器失效;

(2)静态存储器的失效率 λ (单位 error/bit-day)由空间环境和器件尺寸决定,符合泊松分布^[2];

(3)在空间辐射恶劣的情况下,软错误通常还需要用刷新进行联合纠正,即在失效率很高的时候,将错误以时段划分.

下面将根据条件(3)把软错误划分为累积错误和非累积错误进行软错误建模和分析,推导依据为条件(1)和(2).

2.1 累积错误的失效概率模型

Abramson 和 Moser 于 1970 年发表文章进行了“生日重合”数学问题分析,给出了在一定数量的人群中,若干个人生日在相邻的天数内重合的概率^[3],该概率可以表述为

$$p_{\text{no-col}}(n, p) = \frac{(p-1)!}{n^{p-1}} \left[\frac{n - p(k-1) - 1}{p-1} \right] \quad (1)$$

式中, n 代表一年有多少天,冲突区间 k 表示相邻天数, p 则是参与运算的人数. 考虑将式(1)用于存储器可靠性分析,如果 n 表示为容量, k 用于表征一个字的大小, p 是该存储器的错误翻转比特数,该数值可以根据不同环境下失效率、工作时间和存储器容量计算得到. 则上式可以表征一个字中没有同时发生两个及以上比特翻转的概率. 然而上式的计算复杂,不能快速计算出结果,通过下面的近似可以得到简化结果.

将式(1)进行展开:

$$\begin{aligned} p_{\text{no-col}}(n, p) &= \frac{(p-1)!}{n^{p-1}} \left[\frac{n - p(k-1) - 1}{p-1} \right] \\ &= \frac{(p-1)!}{n^{p-1}} \times \frac{(n - p(k-1) - 1)!}{(n - pk)! (p-1)!} \\ &= \frac{(n - p(k-1) - 1)!}{(n - pk)! n^{p-1}} \end{aligned} \quad (2)$$

式(2)分母分子均有 $p-1$ 项,进行展开化简:

$$\begin{aligned} p_{\text{no-col}}(n, p) &= \frac{(n - p(k-1) - 1) \times \dots \times (n - pk + 1)}{n^{p-1}} \\ &= \left[1 - \frac{p(k-1)+1}{n} \right] \times \dots \times \left[1 - \frac{pk-1}{n} \right] \end{aligned} \quad (3)$$

采用泰勒级数进行一阶化简,现将泰勒级数列出:

$$e^x = 1 + x + \frac{x^2}{2} + \dots = \sum_{n=0}^{\infty} \frac{x^n}{n!} \quad (4)$$

当 $x \ll 1$ 的时候,泰勒级数可近似表达为一阶函数:

$$e^x \approx 1 + x \quad (5)$$

由于在实际中,存储器的容量远大于翻转比特数,即 $pk/n \ll 1$,满足条件(5),将式(5)带入(3)中:

$$\begin{aligned} p_{\text{no-collision}}(n, p) &= e^{-\frac{p(k-1)+1}{n}} \times e^{-\frac{p(k-1)}{n}} \times \dots \times e^{-\frac{pk-1}{n}} \\ &= e^{-\frac{[p(k-1)+1] + [p(k-1)] + \dots + [pk-1]}{n}} \\ &= e^{-\frac{[(p-1) \times (pk-p+1) + \frac{(p-1)(p-2)}{2}]}{n}} \\ &= e^{-\frac{p(p-1)(2k-1)}{2n}}. \end{aligned} \quad (6)$$

则在存储器中,一个字发生两个及两个以上的错误概率函数表达为

$$p_{\text{collision}}(n, p) = 1 - e^{-\frac{p(p-1)(2k-1)}{2n}} \quad (7)$$

式(7)可表示采用纠错码后的存储器累积错误失效率率和相同容量下不同字长结构对失效率的影响. 并通过推导可以看出字容量越大,发生错误的可能性就越高. 这是因为容量一定的存储器, k 越大,则错误发生在同一个字的可能性就越大. 所以同样容量的存储器,字长小的结构比字长大的结构可靠性更高. 此外,由于在推导过程中使用了一阶近似,所以容量越大,结果越准确.

2.2 非累积错误的失效概率模型

在辐射环境比较恶劣的情况下,由于带电粒子流量比较高,造成的错误翻转也更多,只使用纠错码不能有效清除累积的错误,就必须联合使用刷新技术降低累积错误. 在辐射条件下,假设错误均是由软错误造成,SRAM 的 BER 可以表示为错误比特翻转个数与存储器容量比值,即 $\text{BER} = p/n$. 用 t_s 表示刷新周期, $\text{SR} = 1/t_s$ 表示刷新率,在一个刷新周期内累积错误模型中的错误比特数可以表示为

$$p = \lambda \times t_s = \lambda / \text{SR} \quad (8)$$

带入式(7)中,得到

$$\begin{aligned} p_{\text{col}}(n, p) &= 1 - e^{-\frac{p(p-1)(2k-1)}{2n}} \approx 1 - e^{-\frac{p \times p(2k-1)}{2n}} \\ &= 1 - e^{-\frac{\text{BER}}{2} \times \frac{\lambda}{\text{SR}} \times (2k-1)} = 1 - e^{-\frac{\text{BER}}{\text{SR}} \times \frac{\lambda \times (2k-1)}{2}} \end{aligned} \quad (9)$$

在以上推导中,可以看出刷新在某种意义上就是降低了 BER,增加了可靠性. 当 BER 和 SR 可比拟的时候,BER 提高幅度可达十倍.

3 仿真与结果分析

以一块字长 4 Mb,位宽为 32b 的 SRAM 作为

讨论范例,该 SRAM 采用 Hamming 码加固. $n=4 \times 2^{20} \times 32$, 注意在实际过程中,因为错误比特可能出现在一个字的任何位置, k 值选取为一个字大小的一半,即为 16. 图 1 中给出了单比特纠错码保护下容量 4 Mb 存储器在不同字长的累积错误失效概率. 可以看出相同容量下,短字节结构比长字节结构可靠性更高. 这与文献[2]中 SEC 保护的 SRAM 可靠性结论相类似,即相同容量下字长越长可靠性越差.

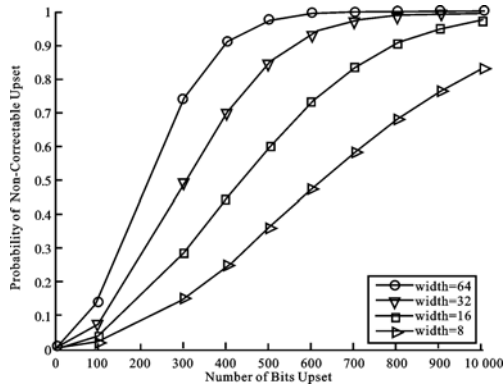


图 1 4 Mb 不同字长的静态存储器错误概率

实际空间应用中会根据器件的尺寸和轨道中的辐射给出相应的失效率 λ . 本文提出的分析模型,式(7)中所使用的 p 是错误总数,需将失效率乘以容量 n 和运行时间,式(9)中直接使用失效率. 下面将根据实际数据进行分析.

3.1 累积错误模型仿真

本模型分析数据源于实际辐照结果[4]. 该存储器采用 90 nm 体硅工艺,容量 4 Mbit. 采用 SEC-DED 码加固,在辐照试验时,控制质子流量在 10^8 个/ cm^2 ,测试速度在 1 MHz,每次均读出数据. 部分测试数据如表 1 所示.

表 1 4 Mb 静态存储器质子辐射测试单比特和多比特数据统计[4]

Energy (MeV)	Upsets	1-Cells	Multiple-Cells 2b, 3b, 4b	Failure rate (# multi-bits / # upsets)
17.5	39	37	1×2b	0.051
32	60	56	2×2b	0.067
46	83	63	10×2b	0.141 2
46	142	112	15×2b	0.211 26
65	182	56	23×2b+2× 3b+1×4b	0.31

根据文献[4]中 SRAM 容量大小设置 n 为 4 Mb, k 为 32, 采用式(7)所预测的结果如图 2 所示. 由图 2 可看出,本文提出的预测模型在质子能量相

对低的情况下与测试值拟合较好,该模型可以用于软错误率较低的轨道.

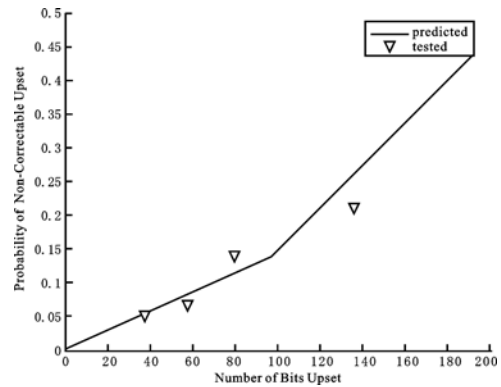


图 2 静态存储器累积软错误预测模型

3.2 非累积错误模型仿真

当系统工作在外捕获带的时候,由于软错误率很高,必须用定时刷新进行加固. 表 2 中列出了 90 nm 工艺下,外捕获带的失效率的测试数据,该数据来源于文献[5].

表 2 90 nm 工艺静态存储器在不同轨道软错误失效率[5]

Space Environment	Charge collection depth/ μm	LET _{th} / (MeV · cm ² / mg)	Physical SER
GEO Solar Flare	0.25	0.44	6.0×10^{-2}
Worst Week Model	0.5	0.21	5.0×10^{-2}
99% Worst Case	1.0	0.11	4.0×10^{-2}

如果系统所需要的 BER 为 10^{-10} 量级,则上面三种情况所需要的刷新率分别为 6.3×10^9 、 7.9×10^9 、 9.5×10^9 略高于文献[5]中预测模型的计算结果. 刷新率/软错误率对于错误根绝率的改善见图 3.

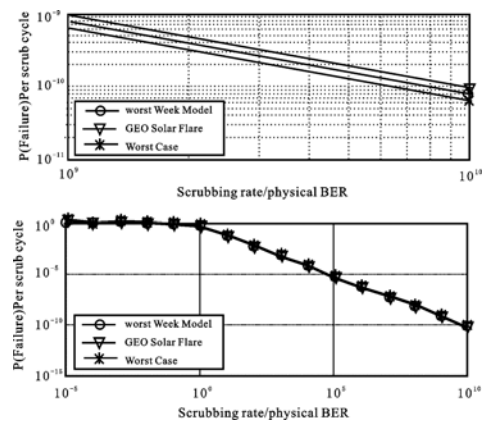


图 3 刷新率/软错误率对于错误概率的改善

4 结束语

本文提出用失效概率函数评估静态存储器软错
(下转第 61 页)

一款PLC系统芯片上得到了应用.该芯片采用HJTC 0.18 μm 1P6M CMOS工艺,经测试芯片中的多码率RS码译码器模块可以在80 MHz的系统时钟下工作正常.

5 结束语

文中针对PLC系统中RS码多码率的问题,在RiBM算法和uiBM算法的基础上,设计了一种适用于多码率的RS码译码器.该译码器还兼顾了uiBM算法和RiBM算法的优点,加法器和乘法器的数量少,复杂度低,易于VLSI实现.目前该译码器已经在一款PLC芯片上得到应用.

参考文献:

- [1] 何光宇,孙云英.智能电网基础[M].北京:中国电力出版社,2010.
- [2] 王新梅,肖国镇.纠错码-原理与方法[M].西安:西安电子科技大学出版社,2003.
- [3] 张天瑜.欧几里得算法的RS译码研究和FPGA仿真[J].武汉理工大学学报,2010,32(2):84-89.
- [4] Dilip V, Naresh R, High speed architectures for reed-

solomon decoders[J]. IEEE Trans. On very Large Scale Integration, 2001,9(5):641-655.

- [5] 郑文杰,李磊,冯穗力,等.改进BM算法的高速RS译码器方案及FPGA实现[J].电声技术,2007,31(6):22-26.
- [6] Kavish S, Viswajith K N, Srinivasan S, et al. Ultra folded high-speed architectures for reed-solomon decoders[C]//IEEE Proceedings of the 19th International Conference on VLSI Design, India: Hyderabad, 2006.
- [7] 谭思炜,潘红兵.基于RS码的可重构有限域乘法器的设计和实现[J].计算机应用与软件,2011(8):281-283.
- [8] 苏佳宁,田骏骅,沈泊.一种适用于DVB系统的低复杂度Reed-Solomon解码器[J].复旦学报,2006(1):1-5.
- [9] 张定云,刘占渠.一种减少RS截短码译码延时的优化设计[J].现代电子技术,2010(23):33-35.
- [10] 赵畅,耿相铭.RS(16,12)缩短码编译原理及性能分析[J].通信技术,2012(2):49-52.

作者简介:

石宇男,(1982-),硕士研究生,工程师.研究方向为数字集成电路设计与实现.

(上接第56页)

误可靠性的预测模型,为可靠性分析提供了理论方法,将“生日重合”概率函数作为累积错误的计算方法,并进行相应简化,在系统层次上即可以概算出不同辐射环境下存储器的可靠性;并在累积概率分布模型上分析了刷新周期对于可靠性的影响.通过文中提出的式(7)和(9)即可快速估算出静态存储器的可靠性,本模型与90 nm工艺下质子测试结果吻合.

参考文献:

- [1] Radaelli D, Puchner H, Wong S, et al. Investigation of multi-bit upsets in a 150 nm technology SRAM device[J]. IEEE Trans on Nucl. Sci., 2005, 52(6): 2433-2437.
- [2] Abdallah M Saleh, Juan J Serrano, Janak H Patel. Reliability of scrubbing recovery-techniques for memory sys-

tems[J]. IEEE Trans on Reliability, 1990, 39(1): 114-122.

- [3] Abramson M, Moser W O J. More birthday surprises[J]. Amer. Math. Monthly., 1970, 77(8): 856-858.
- [4] Reed K Lawrence, Andrew T Kelly. Single event effect induced multiple-cell upsets in a commercial 90 nm CMOS digital technology[J]. IEEE Trans on Nucl. Sci., 2008, 55(6): 3367-3374.
- [5] Michael A Bajura, Younes Boulghassoul, Riaz Nasr. Model and algorithmic limits for an ECC-Based approach to harden-ding sub-100-nm SRAMs[J]. IEEE Trans on Nucl. Sci., 2007, 54(4): 934-945.

作者简介:

周婉婷女,(1982-),博士研究生,助理研究员.研究方向为单粒子分析以及电路加固技术.